

К.т.н. И.Н. Бычков, С.В. Егоров, И.Н. Лобанов, Г.М. Расулов

I.N. Bychkov, S.V. Egorov, I.N. Lobanov, G.M. Rasulov

УЧЕТ ТРАССИРОВКИ КОРПУСА ПРИ ПЛАНИРОВАНИИ ПЕРИФЕРИИ КРИСТАЛЛА СБИС

PACKAGE AWARE I/O PLANNING FOR FLIP-CHIP DESIGN

Представлена разработка САПР FCPacker, выполненная авторами для решения проблемы совместного проектирования корпуса микросхемы и кристалла СБИС с корпусированием по технологии Flip-Chip. Известны результаты решения этой проблемы фирмой Magma Design Automation в САПР RinoMagic. Существенным отличием этих разработок является учет результатов топологической трассировки коммутационной платы корпуса, от чего напрямую зависят качество и эффективность совместного проектирования корпуса и кристалла. Применен новый метод формирования и использования топологического рисунка для сигнальных слоев коммутационной платы корпуса.

Keywords: FCPacker, escape routing, topological routing, escape patterns, IC package, substrate routing, system in package, flip-chip, BGA.

Введение

При разработке корпуса микросхемы, сборка которой осуществляется с применением технологии Flip-Chip монтажа кристалла в корпус, существенна проблема трассировки коммутационной платы корпуса. На рис. 1 изображена микросхема, включающая кристалл (die), помещенный в корпус. Одна из возможных конструкций корпуса состоит из верхнего теплораспределителя, боковых стенок и коммутационной платы (substrate) в

основании. Коммутационная плата соединяет объемные контактные выводы кристалла (bumps) с выводами корпуса микросхемы (balls/lands). Микросхема в сборе монтируется на материнскую печатную плату (PCB) выводами корпуса.

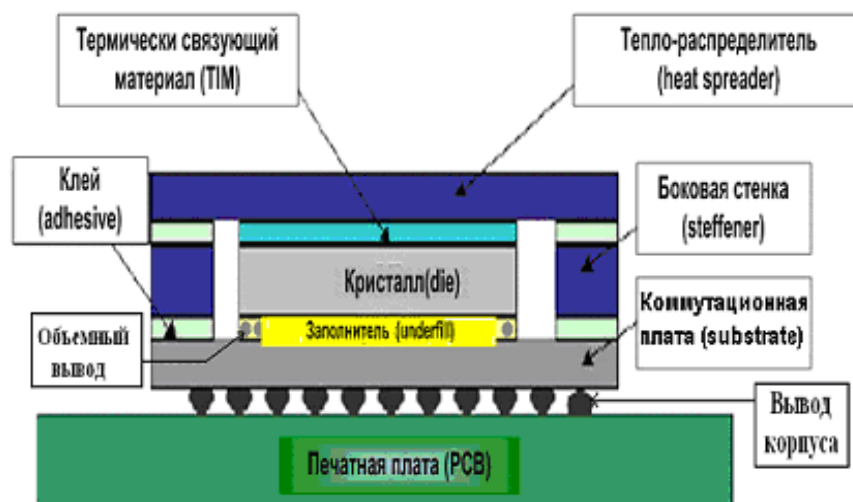


Рис. 1

Конструкция микросхемы с корпусом HFC BGA

Поскольку плотность выводов кристалла, сделанного по современным технологиям, очень высока, то для изготовления коммутационной платы корпуса типично применение высокой плотности трасс HDI circuits. Причём, как рекомендуется в [1], целесообразно учитывать проблему трассировки коммутационной платы совместно с планированием периферии кристалла. Маршрут такого совместного проектирования представлен на рис. 2.

Поддержка этого маршрута и его успешное внедрение в процесс проектирования выполнены через систему автоматизации проектирования FCPacker (САПР FCPacker), разработанную с участием авторов. В её составе и был реализован метод формирования топологического рисунка коммутационной платы корпуса. Использование анализа этого рисунка на раннем этапе корпусирования совместно с планированием выводов кристалла и корпуса является отличительной особенностью данной САПР. Для выполнения топологической трассировки использовался «метод свободного стиля» из средства проектирова-

ния TopoR (Topological Routing), являющегося отечественной разработкой [2].



Рис. 2

Маршрут корпусирования с применением технологии Flip-Chip

1. Структура и функциональность САПР FCPacker

Для поддержки представленного маршрута проектирования САПР FCPacker решает следующие задачи:

- подбор и/или создание матричного корпуса для заданного кристалла;
- назначение сигналов выводам корпуса;
- создание периферии кристалла и контактных выводов;
- размещение кристалла в матричном корпусе;
- назначение выводов кристалла к выводам корпуса;
- оптимизация размещения выводов кристалла для выбранного корпуса;
- выделение различных сегментов земли/питания системы в корпусе;

- построение соединений с учетом ограничений трассировочного ресурса корпуса;
- создание сегментов металлизации корпуса для земли/питания;
- проверка правил корпусирования и визуализация нарушений;
- выдача документации для изготовления элементов корпуса.

Учитывая традиционное распределение этих задач между специалистами, целесообразно реализовать функциональность САПР, выделив набор средств проектирования, представленных на рис. 3.

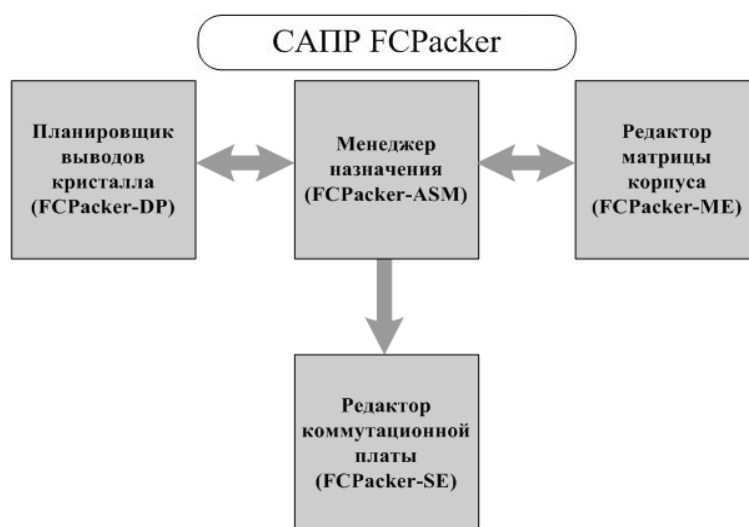


Рис. 3

Составные компоненты САПР FCPacker

Разработка коммутационной платы корпуса состоит из этапов создания электрической схемы, размещения кристалла и трассировки. В свою очередь, трассировка коммутационной платы может быть разделена на описанные ниже этап трассировки уходом (escape routing) из-под кристалла, этап топологической трассировки (topological routing) и этап детальной трассировки (detailed routing) с соблюдением технологических норм для высокой плотности трасс [3]. Поддержка этапов создания электрической схемы с размещением кристалла, а также этапа трассировки уходом реализованы в менеджере назначения. Выполнение этапа топологической трассировки и этапа детальной трассировки обеспечивается редактором коммутационной платы. Разработка простых механических конст-

рукций корпуса в САПР FCPacker не предусмотрена.

2. Компоненты САПР FCPacker

В различных маршрутах проектирования корпус микросхемы может быть представлен своими выводами (матрицей корпуса). Редактор матрицы корпуса предназначен для разработки представления микросхемы при проектировании материнской многослойной печатной платы и модуля на её основе до выпуска проектируемой микросхемы. С помощью редактора можно сформировать матрицу выводов корпуса, создать группы интерфейсных сигналов, а также назначить сигналы на выводы микросхемы с учетом минимизации количества слоев материнской платы и выполнения требований целостности сигналов. Выходные данные редактора матрицы корпуса используются как для маршрута проектирования материнской печатной платы, так и для разработки коммутационной платы корпуса.

Планировщик выводов кристалла предназначен для размещения периферийных элементов ввода/вывода кристалла (I/O cells) и соответствующих им контактных площадок под выводы кристалла (bump pads), включая выводы земли и питания. При размещении контактных площадок используются заранее подготовленные шаблоны расположения выводов (bump patterns) относительно периферийных элементов. Их примеры представлены на рис. 4.

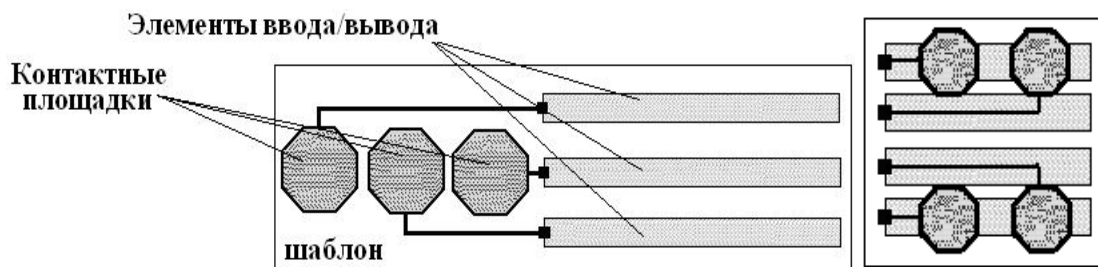


Рис. 4

Примеры возможных вариантов шаблонов

Существуют возможности автоматической расстановки контактных площадок согласно выбранным шаблонам для всего кристалла или только в указанной области. В процессе выполнения этих операций планировщик позволяет выполнить автоматическую проверку результатов в соответствии с заданными правилами проектирования. Выходные данные планировщика используются как для выполнения других этапов проектирования кристалла в целом, так и для разработки корпуса микросхемы.

Менеджер назначения сигналов используется для установления соответствия между выводами кристаллов и выводами корпуса при произвольном размещении на коммутационной плате кристаллов и компонентов навесного монтажа и их вращении относительно центра. Результат его работы представляется в виде диаграммы назначения. Пример диаграммы назначения с одним кристаллом и несколькими конденсаторами приведён на рис. 5.

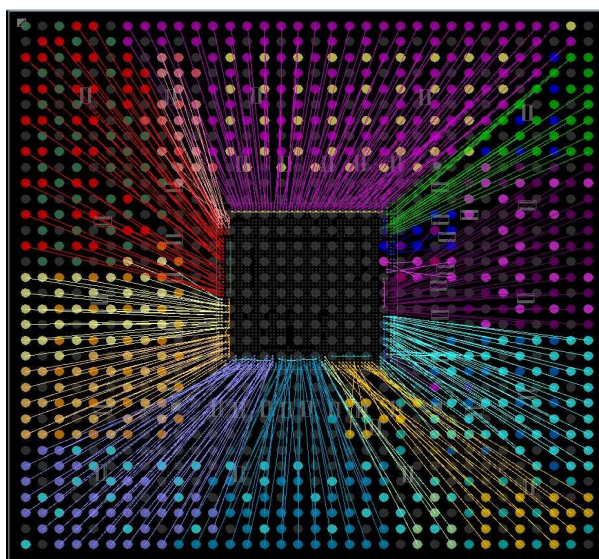


Рис. 5

Диаграмма назначения

С помощью менеджера назначения можно в автоматическом и ручном режимах создать соединения между выводами кристалла и выводами корпуса, выделить различные секторы земли/питания и провести автоматическую трассировку уходом. Такая трасси-

ровка выполняется от контактных площадок под выводы кристалла до точек на слоях коммутационной платы вне контура кристалла (точек ухода, escape points). Для этого используются заранее подготовленные шаблоны оптимальных трасс ухода (escape patterns) для рядов выводов кристалла или целого интерфейсного блока. Пример такого шаблона трасс в двух сигнальных слоях для одного вертикального ряда выводов из восьми контактных площадок представлен на рис. 6.

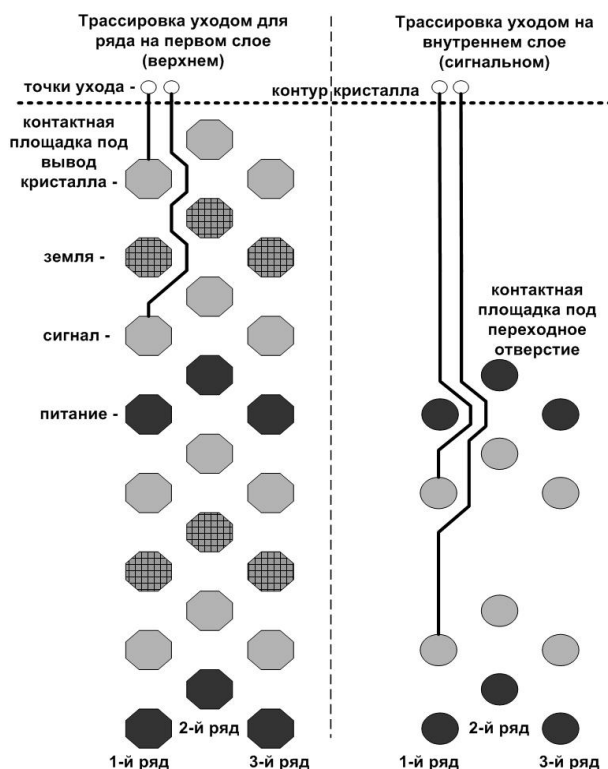


Рис. 6

Пример трассировки уходом в двух сигнальных слоях

В случае проведения трассировки уходом соединения будут создаваться между точками ухода и выводами корпуса. Диаграмма назначения позволяет оценить связанность выводов кристалла и корпуса, внести необходимые коррективы в размещение периферийных элементов и выводов кристалла и подобрать оптимальные трассы ухода уже на ранних этапах корпусирования, чтобы минимизировать количество слоев коммутационной платы и выполнить требования целостности сигналов. Выходными данными менедж

жера назначения являются расположение всех компонентов в корпусе, список соединений и трассы ухода. Кроме того, промежуточными выходными данными могут быть задания для топологической трассировки отдельных слоев коммутационной платы или сегментов слоя, выполняемой в средстве проектирования TороR [2].

Редактор коммутационной платы предназначен для детальной трассировки коммутационной платы корпуса. С его помощью можно в ручном режиме создать трассы заданной ширины и под заданными углами, выполнить межслойные переходы, нарезать сегменты земли/питания. Возможно провести полуавтоматическое выравнивание трасс согласно требованиям к интерфейсам, а также выполнить заливку свободных участков слоёв металлом и расставить вентиляционные отверстия. В процессе выполнения этих операций возможно осуществлять проверку технологических норм, заданных правилами проектирования. Существует и возможность создать 3D модели областей коммутационной платы для применения методов диагностики, представленных в [4]. Выходной информацией редактора коммутационной платы являются файлы послойной топологии и файлы переходных отверстий для последующего изготовления коммутационной платы.

3. Формирование топологического рисунка

Размещение контактных площадок на кристалле и трассировка уходом от них на коммутационной плате хоть и имеют различные реализации в разных системах проектирования, но всё же являются общепринятыми методами. В то же время, использование топологической трассировки слоёв коммутационной платы в промышленных САПР для корпусирования является новым методом. Впервые эта задача сформулирована в [3]. Для выполнения требований целостности сигналов трассировка от каждой точки ухода до окрестности соответствующего вывода корпуса должна выполняться без межслойных переходов (*vias*). В [3] также представлен и алгоритм топологической трассировки, но без достаточной оценки качества топологического рисунка в каждом сигнальном слое, что явля-

ется необходимым условием использования в промышленных САПР.

Целесообразно выделить следующие критерии:

- минимум числа пересечений трасс;
- наличие или отсутствие пересечений при существовании оптимального решения;
- выполнимость трассировки сигнальной группы в заданном сегменте коммутационной платы;
- минимум суммарной длины всех соединений;
- равномерность распределения трасс в заданном сегменте коммутационной платы.

Все перечисленные критерии вместе могут и не выполняться, поэтому для оценки качества трассировки, как правило, применяют доминирующий критерий. При этом используют аддитивную или мультипликативную форму оценочной функции, например:

$$F = \sum_{i=1}^x \lambda_i \cdot f_i ,$$

где: F – аддитивный критерий, λ_i – весовой коэффициент, f_i – частный критерий, n – число критериев.

Необходимо отметить, что допускается использовать различные доминирующие критерии для различных слоев и сегментов коммутационной платы.

4. Результаты топологической трассировки

Топологические рисунки позволяют провести эффективное распределение трассировочного ресурса корпуса для соединений диаграммы назначения. Пример однослойного топологического рисунка представлен на рис. 7а. На рис. 7б представлена завершенная трассировка слоя коммутационной платы корпуса соответствующая топологическому (рис. 7а). Трассы топологического рисунка, которые не удалось провести без пересечений с другими трассами, являются конфликтными и выделены на рисунке красным цветом.

Перенос конфликтных трасс рис. 7а на другой слой позволил получить предсказуемую завершённую трассировку приемлемого качества. В случае, когда перенос трасс не позволяет устранить конфликтные трассы на всех сигнальных слоях, необходимо изменение диаграммы назначения или добавление дополнительного слоев коммутационной платы корпуса.

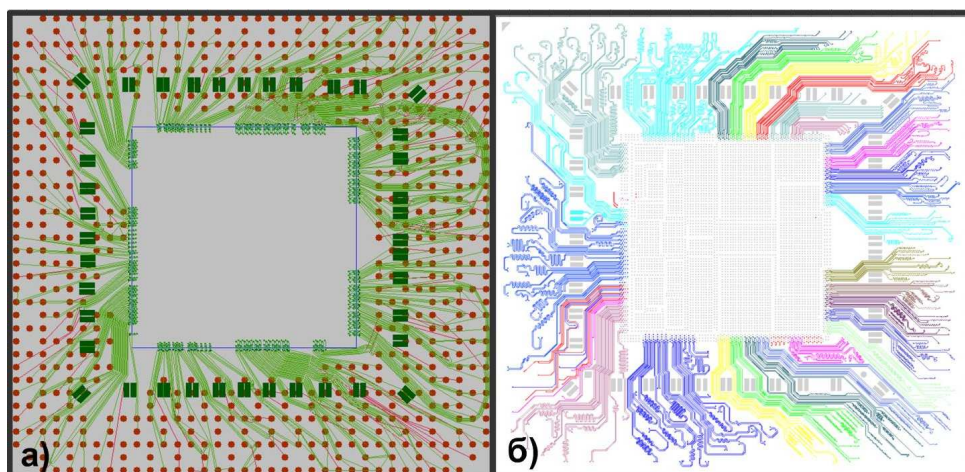


Рис. 7

Топологический рисунок и завершённая трассировка

Анализ топологической трассировки коммутационной платы корпуса проводился в нескольких проектах систем на кристалле, характеристики которых представлены в табл.

1.

Таблица 1

Характеристики проектов микросхем

Корпус HFC BGA 1156 (размер 35000 мм × 35000 мм, структура слоев 3+2+3)				
Проект микросхемы	Размер кристалла, мм	Кол-во трасс корпуса	Кол-во трасс для 1-го слоя	Кол-во трасс для 2-го слоя
Кубик	17,2 × 16,8	663	425	229
Повозка	10,6 × 10,6	457	348	81
Ч-2	11,3 × 11,3	443	169	274

Для оценки диаграмм назначения формировались задания для построения рисунков

однослойной трассировки от точек ухода на каждом сигнальном слое. Пример топологического рисунка с несколькими десятками пересечений трасс для первоначального варианта диаграммы назначения представлен на рис. 8а. На рис. 8б представлен топологический рисунок с несколькими пересечениями трасс для скорректированного варианта диаграммы назначения.

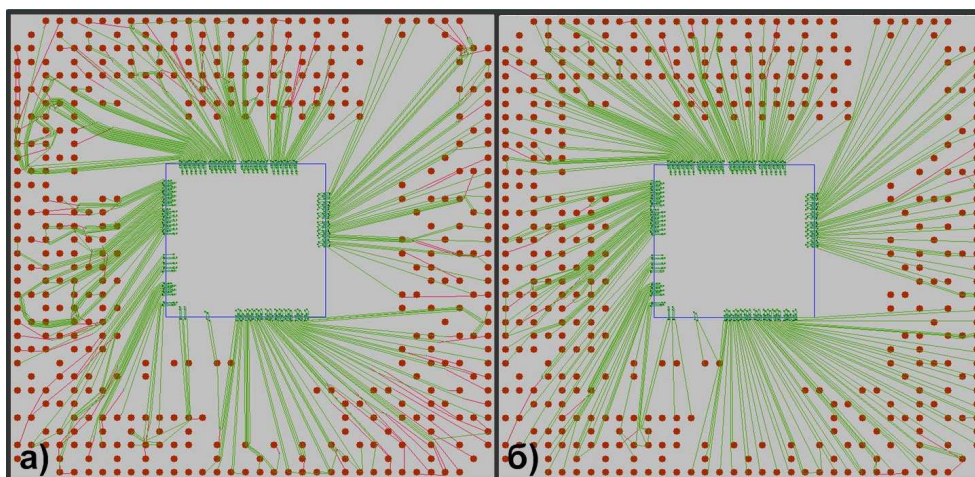


Рис. 8

Примеры топологических рисунков

Время построения топологических рисунков составляет несколько минут. Необходимо отметить приемлемую равномерность распределения трасс на рис. 7б, что указывает на эффективное решение проблемы скопления трасс. Алгоритмы топологической трассировки [2] пока не опубликованы, но позволяют за приемлемое время получить превосходящие результаты в сравнении с опубликованными результатами выполнения топологической трассировки [5].

Результаты оценки первоначальной и модифицированной диаграммы назначения для каждого сигнального слоя с высокой плотностью трасс представлены в табл. 2 и 3. Первоначальный и модифицированный проекты имеют одинаковое количество трасс на каждом слое, но различаются назначением сигналов выводов кристалла на выводы корпуса. Длина линий связи – это сумма длин отрезков прямых от выводов кристалла до выво-

дов корпуса. Длина трасс FCPacker – это сумма длин трасс завершённой трассировки после выполнения детальной трассировки, включающей выравнивание по требованиям к интерфейсам. Длина трасс в ТороR – это сумма длин трасс топологического рисунка на ранних этапах корпусирования.

Представленные результаты топологической трассировки на сигнальных слоях позволяют отметить существенное уменьшение количества пересечений трасс при своевременной модификации назначения. Модификация диаграммы назначения минимизирует общее число пересечений, несмотря на недостаток оптимизации топологической трассировки в окрестностях выводов корпуса. Следует отметить, что для трасс низкочастотного сигнала (и только для них) допустим переход на другой сигнальный слой вне окрестности вывода корпуса. Таким образом, допускается небольшое количество пересечений трасс для успешного выполнения этапа детальной трассировки.

Таблица 2

Результаты топологической трассировки первого слоя

Проект микросхемы	1-й сигнальный слой			
	Длина трасс (FCPacker), мм	Длина трасс (ТороR), мм	Длина линий связи, мм	Кол-во пересечений
Кубик	5409	4786	3794	109
Кубик модиф.	5225	4472	3785	28
Повозка	3499	3970	3397	68
Повозка модиф.	3455	3878	3391	17
Ч-2	2794	2200	1613	42
Ч-2 модиф.	2674	2026	1602	8

Таблица 3

Результаты топологической трассировки второго слоя

Проект микросхемы	2-й сигнальный слой			
	Длина трасс (FCPacker), мм	Длина трасс (ТороR), мм	Длина линий связи, мм	Кол-во пересечений
Кубик	3523	2078	1671	23
Кубик модиф.	3406	1941	1665	4
Повозка	1788	940	7305	11
Повозка модиф.	1767	918	7302	0
Ч-2	4572	3519	2900	91

Ч-2 модиф.	4388	3243	2893	20
-------------------	------	------	------	----

Заключение

Представлен метод формирования топологических рисунков слоёв коммутационной платы корпуса СБИС, и сформулированы критерии оценки их качества. Для реализации представленного метода использованы возможности САПР FCPacker и средства проектирования ТороR. Полученные топологические рисунки имеют приемлемое качество для эффективной оценки диаграммы назначения как результата совместного проектирования периферии кристалла и матрицы выводов корпуса СБИС.

Литература

1. K. Sheth, E. Sarto, J. Magro. The Importance of Adopting a Package-Aware Chip Design Flow, DAC 2006, July 24–28, 2006.
2. Лузин С.Ю. САПР ТороR. Трассировка и оптимизация. – «Современная электроника», 2008, №9.
3. S. Liu, G. Chen, T. Tong Jing, L. He, T. Zhang, R. Dutta, X. Hong. Topological Routing to Maximize Routability for Package Substrate, DAC 2008, June 8-13, 2008.
4. Бычков И.Н. Диагностика коммутационной платы матричного корпуса. – «Вопросы радиоэлектроники, серия ЭВТ», 2008, вып. 2.
5. S. Liu, G. Chen, T. Tong Jing, L. He, R. Dutta, X. Hong. Effective congestion reduction for IC package substrate routing, ACM Transactions on Design Automation of Electronic Systems, Volume 15 Issue 3, May 2010.